

Adéquation des micro-processeurs à la simulation en temps réel des réseaux de neurones.

Luc Gaborit, Bertrand Granado, Lionel Lacassagne et Patrick Garda

Laboratoire des Instruments et Systèmes - Université Pierre et Marie Curie - Boîte 252

4, place Jussieu - 75252 Paris Cedex 05 - Téléphone : (33) 01 44.27.75.07 - Télécopie : (33) 01 44.27.75.09

Mél : Luc.Gaborit@lis.jussieu.fr

Résumé Dans cet article, nous présentons la capacité qu'on les processeurs généralistes actuels à simuler en temps réel (cadence vidéo) les réseaux de neurones allant du perceptron multicouche au réseau de fonctions à base radiale (RBF). Ces processeurs, avec et sans l'utilisation de leur micro-machine SIMD interne, sont confrontés aux machines spécialisées telle que CNAPS. Dans un premier temps, sont évaluées les performances des micro-processeurs dans leur version standard, puis est évalué l'apport des micro-machines SIMD au coeur de ces architectures standards.

Abstract In this paper, we present the capability of the current general purpose processors in simulating the neural networks in real time (video rate) - from the multi-layer perceptron to the Radial Basis Function network (RBF). These processors with and without the use of their internal SIMD micro-machine, are compared to the specialised machines like CNAPS. Firstly, we evaluate the micro-processors' performance in their standard use, then we evaluate performance brought by the SIMD micro-machines inside these standard architectures.

Introduction Du fait de leur caractère universel, les micro-processeurs peuvent servir pour la simulation des réseaux de neurones, avec l'avantage qu'il est possible de programmer sur la même machine une application complète dans laquelle un réseau de neurones ne réalise qu'une partie des traitements.

Par contre jusqu'à présent ce type d'architecture s'est révélé inadapté à la simulation des réseaux de neurones en temps réel. C'est pourquoi il a été nécessaire de concevoir des architectures spécialisées dans la simulation des réseaux connexionnistes, telles que CNAPS [8].

Cependant, les micro-processeurs ont progressé constamment depuis leur invention il y a 25 ans. D'une part, leur architecture inclut de plus en plus de parallélisme, notamment à travers la duplication d'unités de calcul et l'utilisation de l'ordonnancement dynamique des instructions [9]. D'autre part les avancées technologiques permettent des fréquences de

fonctionnement de plusieurs centaines de mégahertz [12].

Enfin, ces micro-processeurs intègrent de plus en plus des extensions multimédia à leurs architectures. Ces extensions sont des micro-machines SIMD intégrées au coeur des micro-processeurs.

Les progrès des performances des micro-processeurs conduisent naturellement à se demander à quel moment ils seront capables de simuler les réseaux de neurones en temps réel ? Pour répondre à cette question, nous avons utilisé une méthodologie originale d'évaluation et de prédiction des performances [4]. Avec elle, nous avons évalué deux familles de micro-processeurs, les familles SPARC et X86, et nous avons comparé les résultats à ceux obtenus lors de l'évaluation d'architectures spécialisées.

Cet article est composé de deux parties, une première partie où sont évaluées les performances des micro-processeurs dans leur version standard et une seconde partie où est évalué

l'impact de l'ajout de micro-machines SIMD au coeur des micro-processeurs pour la simulation en temps réel des réseaux de neurones.

Temps réel et réseaux de neurones Dans le cadre de notre étude, nous nous sommes intéressés à l'utilisation de réseaux connexionnistes pour la reconnaissance de caractères manuscrits. Cette reconnaissance s'effectue avec une contrainte temps réel dure, c'est à dire avec une latence inférieure à 40 ms, ce qui correspond à la cadence vidéo d'une caméra.

Les modèles de réseaux de neurones que nous avons choisis dans le cadre de notre étude sont les Perceptrons Multi-Couches (PMC) et les réseaux de fonctions à base radiale (RBF) : ces modèles sont très utilisés en classification et en reconnaissance de formes. Pour concrétiser cette évaluation nous avons choisi l'un des plus gros PMC conçu jusqu'à présent : LENET. C'est un réseau convolutionnel à poids partagés, ayant 96522 connexions locales, 1920 connexions complètes et 4365 neurones. Il est destiné à la reconnaissance de chiffres manuscrits, et il a été décrit et conçu par Y. Lecun dans les laboratoires de AT&T [11]. Dans le cas des RBF, nous avons choisi un réseau, nommé RBF3, ayant une couche d'entrée de taille 256, correspondant à une image 16x16, une couche cachée de taille 10 et une couche de sortie de taille 4. Bien que ce réseau semble petit, sa simulation en temps réel pose problème du fait de l'utilisation de la distance de Mahalanobis (équation 1), qui induit un nombre de calculs proportionnel au carré du nombre de pixels des images en entrée.

$$V_i = \sum_{j \in E_i} (W_{ji} - X_j)^t \Sigma_i^{-1} (W_{ji} - X_j) \quad (1)$$

Evaluation Pour déterminer l'intérêt des micro-processeurs pour la simulation en temps réel des réseaux de neurones, nous avons introduit une méthodologie originale d'évaluation et de prédiction des performances, décrite en détail dans [4]. Elle est basée sur la détermination d'un modèle analytique des primitives de calcul des réseaux de neurones [5]. Ces primitives sont les règles opératoires définissant l'algorithmique associée au modèle neuronal.

Evaluation des processeurs des familles SPARC et X86 et de CNAPS Le tableau 1 résume les données technologiques pour les trois architectures.

Pour évaluer les processeurs SPARC et X86, nous avons utilisé le langage C, avec deux compilateurs commerciaux : CC version 4.2 de Sun Microsystems pour les architectures à base de SPARC et Visual C++ version 5 de Microsoft pour les architectures à base de X86.

Le processeur ULTRASPARCII La première famille de processeurs que nous avons évaluée, est celle des processeurs SPARC de SUN. Nous avons évalué le processeur ULTRASPARCII, qui est conforme à l'architecture SPARC V9. Il est superscalaire de degré 4. Il comprend une unité entière avec deux UAL, une unité flottante et graphique avec 5 unités d'exécution, une unité de gestion de mémoire.

Le processeur PENTIUMII La seconde famille de processeurs est la famille X86, et parmi elle le processeur PENTIUMII de chez Intel.

Le PENTIUM II est un processeur CISC-RISC. La première partie du pipeline d'exécution de ce processeur est dédiée à la traduction des instructions CISC standard de l'architecture logicielle X86 en micro-instructions de taille fixe de 118 bits similaires à des instructions RISC. Ce micro-processeur possède une unité entière composée de deux UAL, une unité flottante, une unité de gestion mémoire.

La machine spécialisée CNAPS La machine SIMD CNAPS [8] est constituée d'un tableau mono-dimensionnel de processeurs appelés Processeurs Noeuds (PN). L'ensemble des PN est contrôlé par un séquenceur externe.

Les processeurs sont reliés entre eux par deux bus, un bus à diffusion et un bus en anneau bidirectionnel. Le bus à diffusion est composé de deux entités IN et OUT et le bus en anneau est composé d'une entité Inter-PN. IN et OUT ont huit bits de large et servent respectivement pour la diffusion des données du séquenceur vers les PN, et pour le transfert de données d'un PN

Architecture	Taille Anté-mémoire N1/N2 en Ko	Technologie CMOS en μm	Nombre de Transistors en Million	Fréquence d'horloge en MHz	Nombre de Processeurs
ULTRASPARCII	16/512	0,29	3,8	250	1
PENTIUMII	16/512	0,28	7,5	266	1
CNAPS	4/-	0,8	13,8 pour 64 PN	20	128

Table 1: Données techniques des plates-formes évaluées

vers le séquenceur. Le bus Inter-PN a quatre bits de large, deux bits dans chaque sens.

Les PN ne travaillent qu'en arithmétique entière ou en virgule-fixe 8 ou 16 bits.

Résultats des évaluations Nous avons évalué le temps de simulation du réseau LENET en utilisant le format natif de chaque machine, afin d'utiliser le maximum des performances. Nous avons donc simulé LENET et RBF3 en utilisant un format 32 bits dans une version entière et dans une version flottante pour l'ULTRASPARCII et pour le PENTIUMII, et nous avons simulé LENET et RBF3 version entière sur 8 bits pour CNAPS. Les résultats de ces évaluations sont résumés dans le tableau 2.

En regardant le tableau 2 nous remarquons qu'un PMC du type de LENET, qui a environ 100 000 connexions et qui représente un exemple maximal des PMC développés au jour d'aujourd'hui, est simulable en temps réel sur les plates formes SPARC et X86. De plus les temps de simulation sur ces plates-formes sont très proches de ceux obtenus par CNAPS pour la version de LENET 8 bits entier.

Si nous nous arrêtons aux résultats du tableau 2, nous observons que les micro-processeurs utilisés ne satisfont pas la contrainte de 40 ms lors de la simulation de RBF3. Il est alors intéressant de déterminer si les micro-processeurs qui vont voir le jour d'ici à 3 ans seront capables de satisfaire cette contrainte.

Prédiction des performances Notre méthodologie de prédiction des performances [4, 6] prend en compte les spécificités architecturales des plates-formes évaluées, c'est

pourquoi dans le cadre des micro-processeurs qui ont des exécutions comportant des discontinuités temporelles dues entre autres aux effets des antémémoires, nous ne prédisons pas un temps d'exécution mais estimons un encadrement à travers la prédiction d'un temps minimum et d'un temps maximum de simulation. Pour déterminer si un réseau respecte une contrainte temps réel portant sur la latence, il suffit que le temps de simulation maximum prédit soit inférieur à cette latence.

Nous avons utilisé notre méthodologie pour prédire le temps de simulation de LENET et de RFB3 sur de futures plates-formes possible qui sont :

- Un processeur ULTRASPARCII à 400 MHz (les derniers processeurs ULTRASPARCII sont cadencés à 360 MHz)
- Un processeur PENTIUMII à 450 MHz (les derniers processeurs PENTIUMII sont cadencés à 450 MHz)
- Un processeur ULTRASPARCII à 1 GHz (Sun Microsystems annonce la sortie d'un processeur cadencé à 1,5 GHz pour 2002 [1])
- Un processeur PENTIUMII à 1 GHz

Les résultats de ces prédictions sont résumés dans les tableaux 3 et 4.

Dans le tableau 3, nous nous apercevons que les processeurs cadencés à 1 GHz, disponibles d'ici à trois ans si nous nous référons aux annonces de Sun et Intel, seront capables, en utilisant un codage sur 32 bits flottant de simuler les PMC en temps réel avec des latences inférieures

Architecture	Temps de simulation de LENET en ms		Temps de simulation de RBF3 en ms	
	Version entière	Version flottante	Version entière	Version flottante
ULTRASPARCII	4,578	11,709	43,206	37,619
PENTIUMII	2,134	24,378	42,8	43,238
CNAPS	2,57	-	6,751	-

Table 2: Temps de simulation mesuré du réseau LENET sur les différentes architectures évaluées

Architecture	Temps prédits en ms			
	Version entier		Version flottant	
	min	max	min	max
UltraSparcII 400 MHz	1,705	5,224	4,612	9,138
PentiumII 400 MHz	1,405	14,132	5,275	25,965
UltraSparcII 1 GHz	0,682	2,089	1,845	3,655
PentiumII 1 GHz	0,562	5,653	2,110	10,386

Table 3: Temps de simulation de LENET pour les processeurs ULTRASPARCII et PENTIUMII cadencés à 400 MHz et à 1 GHz

à 10 ms. De plus ils seront capables de simuler des PMC de la taille de LENET aussi rapidement que CNAPS dans la version améliorée étudiée dans [7] qui pourrait simulé ce réseau en 1,28 ms

Dans le tableau 4, nous constatons que les micro-processeurs annoncés par les constructeurs d'ici moins de 3 ans seront capables de simuler en temps réel, avec une latence inférieure à 40 ms, le réseau RBF3, offrant ainsi la possibilité de développer des RBF utilisant la distance de Mahalanobis.

Il faut noter que ces prédictions sont pessimistes, car elles ne prennent en compte que l'augmentation de la fréquence de fonctionnement, qui n'est pas le seul paramètre à influencer sur les performances d'une architecture : la taille et la gestion des antémémoires sont aussi des paramètres importants.

Conclusion Nous avons montré, en nous basant sur des résultats d'évaluations d'architectures électroniques, que les micro-processeurs sont capables dès aujourd'hui de simuler des PMC en temps réel avec des latences inférieures à 40 ms, mais qu'ils ne peuvent pas le faire pour des RBF avec la distance de Ma-

halanobis. De plus en utilisant une méthode de prédiction des performances, nous avons montré que les micro-processeurs disponibles d'ici à 3 ans seront capables de simuler les PMC avec des latences inférieures à 10 ms et les RBF utilisant la distance de Mahalanobis comme métrique avec des latences inférieures à 40 ms.

Si les micro-processeurs avec leurs unités standard ne peuvent aujourd'hui simuler en temps réel les réseaux de neurones de type RBF qu'en est-il si nous utilisons les unités multi-médias de ces mêmes micro-processeurs ?

Evaluation des extension multi-média des micro-processeurs

Dans les réseaux de neurones de type RBF (Radial Basis Function) [3] la réponse de la gaussienne est donnée par le calcul de la distance entre le vecteur d'entrée et un vecteur prototype stocké dans un neurone de la couche cachée. Typiquement, trois distances sont utilisées :

- la distance de Manhattan

$$\sum_{i=1}^n |x_{1i} - x_{2i}|$$

Architecture	Temps prédits en ms			
	Version entier		Version flottant	
	min	max	min	max
UltraSparcII 400 MHz	19,063	40,871	13,638	28,902
PentiumII 400 MHz	8,908	32,214	10,443	12,885
UltraSparcII 1 GHz	7,625	16,348	5,455	11,561
PentiumII 1 GHz	3,563	12,885	4,177	14,416

Table 4: Temps de simulation de RBF3 pour les processeurs ULTRASPARCII et PENTIUMII cadencés à 400 MHz et à 1GHz

- la distance euclidienne

$$\sum_{i=1}^n (x_{1i} - x_{2i})^2$$

- la distance de Mahalanobis

$$\sum_{i=1}^n \sum_{j=1}^n (x_{1i} - x_{2i}) \sigma_{ji} (x_{1j} - x_{2j})$$

où x_{1i} et x_{2i} sont les i èmes composantes des vecteurs x_1 et x_2 respectivement, σ_{ij} est la ij ème composante de l'inverse de la matrice de covariance de dimension $n * n$ et où n est la dimension des vecteurs. Nous avons défini six réseaux RBF appelés rbf1₁₀, rbf2₁₀, rbf3₁₀, rbf1₁₀₀, rbf2₁₀₀ et rbf3₁₀₀ pour les évaluations. La structure des trois premiers réseaux est la même c'est-à-dire une couche d'entrée de 256 neurones (correspondant à une image 16x16), une couche cachée de 10 neurones (indiqué en indice) et une couche de sortie de 4 neurones. La structure des trois derniers réseaux est la même que précédemment excepté la couche cachée qui contient 100 neurones (indiqué en indice). Les neurones des couches cachées des réseaux nommés rbf1_{**}, rbf2_{**} et rbf3_{**} calculent la distance de Manhattan, la distance euclidienne et la distance de Mahalanobis respectivement.

Les processeurs évalués Les différentes évaluations ont été réalisées sur :

- un Celeron d'Intel cadencé à 300 MHz avec 128 Ko de cache
- un Pentium II d'Intel cadencé à 350 MHz avec 512 Ko de cache
- un K6 d'AMD [2] cadencé à 333 MHz avec 512 Ko de cache

chacun de ces processeurs possède la technologie MMX [2, 10]. Pour les évaluations des unités de calcul standards, les réseaux et les distances ont été programmés en langage C. Pour l'évaluation des architectures micro-SIMD, les distances ont été programmées en assembleur MMX. Le compilateur utilisé est Visual C++ version 5 de Microsoft.

Evaluation des temps d'exécution L'important pour les évaluations, c'est la mesure du temps d'exécution. Il faut que cette mesure soit la plus précise possible puisque les temps d'exécution des fonctions peuvent être très courts ($<10^{-6}$ s). Or les timers à disposition ne sont généralement précis qu'à l'ordre de 10^{-6} s. Dans ce cas, une solution simple est d'exécuter un grand nombre de fois la fonction dans une boucle et de mesurer le temps d'exécution total de cette boucle puis diviser ce temps par le nombre d'itérations (ce nombre doit être assez grand pour que le temps mis par la gestion de la boucle soit négligeable). Les résultats des mesures de temps ainsi obtenues sont présentés dans le tableau 5.

Le tableau 5 comporte aussi les prédictions des temps d'exécution sur CNAPS. Ces prédictions ont été faites d'après une méthode fiable décrite en détail dans [4]. Ormis les temps prédits sur CNAPS, on peut remarquer que les temps mesurés pour les réseaux contenant 100 neurones dans leur couche cachée sont 10 fois plus grands que ceux contenant 10 neurones dans leur couche cachée. Ceci était prévisible puisque les programmes sont exécutés séquentiellement sur les architectures généralistes et que seuls les calculs de distances ont été implémentés en MMX [10]. Par contre, sur CNAPS, un des 128 processeurs calcule

Réseaux	Micro-processeurs + micro-SIMD						Machine spécialisée CNAPS
	K6 - 333 MHz		Celeron - 300 MHz		PII - 350 MHz		
	Langage C	MMX	Langage C	MMX	Langage C	MMX	
Rbf1 ₁₀	119	33	70	16	62	14	95
Rbf2 ₁₀	83	36	62	30	47	25	82
Rbf3 ₁₀	30264	14595	16300	12779	14382	11475	6751
Rbf1 ₁₀₀	1023	349	719	223	619	184	99
Rbf2 ₁₀₀	977	353	557	308	477	240	87
Rbf3 ₁₀₀	298811	141791	158829	123715	139669	110458	6755

Table 5: temps d'exécutions mesurés et prédits en μs

un des 10 ou 100 neurones en parallèle ce qui fait que les temps d'exécution sont sensiblement les mêmes quelque soit le nombre de neurones. Ces mesures démontrent aussi que l'architecture micro-SIMD (ici MMX) offre une accélération plus ou moins appréciable suivant les architectures généralistes évaluées et le type de distance calculée. En effet, on peut voir que les accélérations offertes pour les distances de Manhattan et euclidienne sont d'un facteur 4 et 2 respectivement quelque soit le processeur. Par contre, pour la distance de Mahalanobis plus complexe que les autres distances l'accélération est de 22 % au maximum sur les Pentium alors qu'elle est de 100% sur le K6 à 333 MHz ce dernier ayant des temps plus longs que sur le Celeron à 300 MHz. De plus, l'écart des mesures entre la distance de Mahalanobis et les deux autres distances, nous montre que la distance de Mahalanobis est en effet très gourmande en temps de calcul et éloigne l'exécution des RBF utilisant cette métrique du temps réel.

Evaluation des puissances de calcul En plus des évaluations des temps d'exécution des réseaux RBF sur les différentes architectures, nous montrant leur efficacité à simuler ces réseaux en temps réel, il est intéressant de connaître la puissance de calcul qu'offrent ces architectures et de les comparer les unes aux autres. Le tableau 6 nous présente les puissances maximales que peuvent offrir les processeurs que nous avons évalués lors des calculs des distances de Manhattan, d'Euclide et de Mahalanobis.

Pour déterminer ces puissances maximales nous nous sommes basés sur une méthode détaillée dans [4]. Son principe est de déterminer

le nombre de cycles par instruction minimum ou CPI_{min} donné par :

$$CPI_{min} = \min[CPI(n) = \frac{T * F}{NBI(n)}]$$

où T est le temps d'exécution du programme (voir plus haut), F la fréquence de fonctionnement du processeur, NBI le nombre d'instructions exécutées et n la dimension des vecteurs. De là, on détermine la puissance maximale par l'équation suivante :

$$r_{\infty} = \lim_{n \rightarrow \infty} \frac{NBOP(n) * F}{CPI_{min} * NBI(n)}$$

où NBOP est le nombre d'opérations exécutées dans le programme (voir tableau 7), F la fréquence de fonctionnement du processeur étudié, CPI_{min} le nombre de cycles minimum par instruction, NBI le nombre d'instructions exécutées et n la dimension des vecteurs.

Tout d'abord, on peut voir que la puissance de calcul offertes par la machine spécialisée CNAPS, cadencée à 20 MHz, est nettement supérieure, jusqu'à un facteur 10, à celle des processeurs généralistes. Il est aussi remarquable que, pour les processeurs généralistes, les puissances offertes par les unités MMX sont jusqu'à un facteur 4 supérieures à celles des unités entières. On peut encore remarquer que la distance de Mahalanobis fait chuter les performances des unités MMX du fait de sa complexité alors que CNAPS est plus adaptée à des nombres d'opération en n^2 (voir tableau 7).

Conclusion Dans cet article nous avons montré que les micro-processeurs sont capables dès aujourd'hui de simuler des PMC en temps réel avec des latences inférieures à 40 ms, mais qu'ils

Distance	Micro-processeurs + micro-SIMD						Machine spécialisée CNAPS
	K6 - 333 MHz		Celeron - 300 MHz		PII - 350 MHz		
	Langage C	MMX	Langage C	MMX	Langage C	MMX	
Manhattan	99	311	149	431	174	501	1097
Euclide	110	304	213	359	248	416	1280
Mahalanobis	80	207	144	202	170	209	2560

Table 6: puissances de calcul maximales en MOPS

Distance	NBOP(n)
Manhattan	$3 * n$
Euclide	$3 * n$
Mahalanobis	$2 * n^2 + 3 * n$

Table 7: Nombre d'opérations des distances en fonction de la dimension des vecteurs

ne peuvent pas le faire pour des RBF avec la distance de Mahalanobis aujourd'hui mais qu'en prospective à 3 ans ils seront capable de simuler ce type de réseau lorsqu'ils comporteront une dizaine de prototypes.

Nous avons montré que le concept de micro-machine SIMD au cour des architectures généralistes permet une accélération relativement importante, comparée aux performances des unités standards, de l'exécution des RBF. Cependant, il est important de remarquer que ces architectures sont incapables d'assurer une exécution temps réel des réseaux RBF lorsque ceux-ci contiennent un nombre important de neurones. Ces micro-machines SIMD sont très efficaces pour des réseaux de petite taille et permettent d'exécuter d'autres tâches, ce que les machines spécialisées ne peuvent pas faire. Par contre, ces dernières sont capables de simuler en temps réel aussi bien les petits que les grands réseaux pour n'importe quel type de distance et ont depuis longtemps prouvé l'efficacité du paradigme SIMD dans le domaine des réseaux de neurones renforce l'idée d'intégrer des micro-machines SIMD au coeur des architectures généralistes.

Il faut noter par ailleurs que même si pour la simulation des PMC, les micro-processeurs sont presque aussi rapide que la machine CNAPS, qui a été conçue en 1991. Cette dernière ne consomme que 5 Watts, alors que ces micro-processeurs auront des consommations de

l'ordre de 100 Watts. De ce fait ils ne seront pas adaptés à des systèmes embarqués à consommation limitée.

References

- [1] 1999. http://www.sun.com/micro_electronics/roadmap/.
- [2] AMD. *3D Now Technology Manual*, September 1998.
- [3] C.M. Bishop. *Neural Networks for Pattern Recognition*. C.M. Bishop, Oxford, 1996.
- [4] Bertrand Granado. *Architecture des systèmes électroniques pour les réseaux de neurones - Conception d'une rétine connexionniste*. PhD thesis, Université Paris XI, November 1998.
- [5] Bertrand Granado and Patrick Garda. Evaluation of the two different interconnection networks of the cnaps neurocomputer. In *Proceedings of ICANN'96*, Juillet 1996.
- [6] Bertrand Granado and Patrick Garda. Evaluation of cnaps neuro-computer for the simulation of mlps with receptive fields. In *Proceedings of IWANN'97*, Lanzarote - Canary Islands, Spain, June 1997.
- [7] Bertrand Granado and Patrick Garda. Prédiction des performances des machines

- parallèles spécialisées. application à la simulation en temps réel des perceptrons multi-couches à champs d'activation locaux. In *actes du Grets97*, Grenoble, France, Septembre 1997.
- [8] Dan Hammerstrom. A vlsi architecture for high-performance, low-cost, on-chip learning. In *Proceedings of International Joint Conference on Neural Network*, pages 537 – 544, 1990.
- [9] John L. Hennessy and David A. Patterson. *Architecture des Ordinateurs : une approche quantitative. 2ème édition*. International Thomson Publishing, 1996. traduction : Daniel Etiemble.
- [10] Intel. *Pentium Processor with MMX technology*, 1997.
- [11] Y. LeCun, B. Boser, J.S. Denker, D.henderson, R.E. Howard, W. hubbard, and L.J. Jackel. Handwritten digit recognition with a back-propagation network. In *Neural Information Process and System*, pages 396–404, 1990.
- [12] André Seznec and Thierry Lafage. Evolution des gammes de processeurs mips, dec alpha, powerpc, sparc, x86 et parisc. Technical Report 1110, Institut de Recherche en Informatique et Systèmes Aléatoires, 1996.